

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2004 年 1 月 8 日 (08.01.2004)

PCT

(10) 国際公開番号  
WO 2004/003266 A1(51) 国際特許分類<sup>7</sup>: C30B 29/38, H01L 21/205

(21) 国際出願番号: PCT/JP2003/008173

(22) 国際出願日: 2003 年 6 月 26 日 (26.06.2003)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
特願2002-190270 2002 年 6 月 28 日 (28.06.2002) JP

(71) 出願人 (米国を除く全ての指定国について): 日立電線株式会社 (HITACHI CABLE, LTD.) [JP/JP]; 〒100-8166 東京都千代田区大手町一丁目6番1号 Tokyo (JP). 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 柴田 真佐知 (SHIBATA, Masatomo) [JP/JP]; 〒100-8166 東京都千

代田区大手町一丁目6番1号 日立電線株式会社内 Tokyo (JP). 大島 祐一 (OSHIMA, Yuichi) [JP/JP]; 〒100-8166 東京都千代田区大手町一丁目6番1号 日立電線株式会社内 Tokyo (JP). 江利 健 (ERI, Takeshi) [JP/JP]; 〒100-8166 東京都千代田区大手町一丁目6番1号 日立電線株式会社内 Tokyo (JP). 碓井 彰 (USUI, Akira) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 砂川 晴夫 (SUNAGAWA, Haruo) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).

(74) 代理人: 平田 忠雄 (HIRATA, Tadao); 〒102-0082 東京都千代田区一番町2番地 パークサイドハウス 平田国際特許事務所 Tokyo (JP).

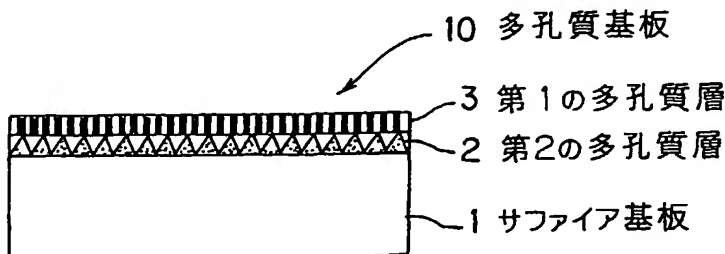
(81) 指定国 (国内): CN, DE, KR, US.

添付公開書類:  
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: POROUS SUBSTRATE AND ITS MANUFACTURING METHOD, AND GaN SEMICONDUCTOR MULTILAYER SUBSTRATE AND ITS MANUFACTURING METHOD

(54) 発明の名称: 多孔質基板とその製造方法、GaN系半導体積層基板とその製造方法

10...POROUS SUBSTRATE  
3...FIRST POROUS LAYER  
2...SECOND POROUS LAYER  
1...SAPPHIRE BASE

(57) Abstract: A structure of a substrate used for growing a crystal layer of a semiconductor, particularly a group-III nitride semiconductor and its manufacturing method. The substrate comprises two porous layers on a base. The mean opening diameter of the pores of the first porous layer, the outermost layer, is smaller than the mean diameter of the pores in the second porous layer nearer to the base than the first porous layer. The first and second porous layers have volume porosities of 10 to 90%. More than 50% of the pores of the first porous layer extend from the surface of the first porous layer and reach the interface between the first and second porous layers. Even by a conventional crystal growing method, an epitaxial crystal of low defect density can

be easily grown on the porous substrate.

[続葉有]



---

(57) 要約:

本発明は、半導体等、特にⅢ族窒化物半導体の結晶層を成長するために用いられる基板の構造およびその製造方法に関するものである。

本発明は、基板上に２つの多孔質層を有し、２つの多孔質層のうち最表面に位置する第１の多孔質層における空隙の平均開口部径が、第１の多孔質層よりも基板側に位置する第２の多孔質層における空隙の平均直径と比較して小さい多孔質基板であり、第１および第２の多孔質層は、１０～９０％の体積空隙率を有し、第１の多孔質層の空隙の５０％以上が、第１の多孔質表面から第１多孔質層および第２の多孔質層の界面まで貫通している。

本発明の多孔質基板によれば、従来の結晶成長方法を用いた場合でさえ、その多孔質基板上に低欠陥密度のエピタキシャル結晶を容易に成長できる。

## 明細書

多孔質基板とその製造方法、GaN系半導体積層基板とその製造方法

## 5 技術分野

本発明は、半導体等、特にIII族窒化物半導体の結晶層を成長するために用いられる基板の構造およびその製造方法に関するものである。

## 背景技術

- 10 窒化ガリウム (GaN)、窒化アルミニウム (AlN)、窒化インジウム (InN)、窒化インジウムガリウム (InGaN)、窒化ガリウムアルミニウム (GaAlN) 等のGaN系化合物半導体は、青色発光ダイオード (LED) やレーザーダイオード (LD) 用材料として、脚光を浴びている。さらに、GaN系化合物半導体は、耐熱性や耐環境性が良いという特徴を活か  
15 して、電子デバイス用素子への応用開発も始まっている。

- GaN系化合物半導体は、バルク結晶成長が難しく、従って実用に耐えるGaNの自立基板は未だ開発途上にある。現在広く実用化されているGaN成長用の基板はサファイアであり、単結晶サファイア基板上に有機金属気相成長法 (MOVPE法) 等によりGaNをエピタキシャル成長させる方法が  
20 一般に用いられている。

- サファイア基板は、GaNと格子定数が異なるため、サファイア基板上に直接GaNを成長させたのでは単結晶膜を成長させることができない。このため、サファイア基板上に一旦低温でAlNバッファ層を成長させ、この低温成長バッファ層で格子歪みを緩和させてから、その上にGaNを成長させる方法が開発された (特開平2-81484号公報)。  
25

この低温成長窒化物層をバッファ層として用いることで、GaNの単結晶エピタキシャル成長は可能になった。

しかし、この方法でも、やはり基板と結晶間の格子のずれは解消できず、

得られたGaNは $10^9 \sim 10^{10} \text{ cm}^{-2}$ もの転位を有している。この欠陥は、GaN系LDを製作する上で障害となる。

近年、サファイアとGaNの格子定数差に起因して発生する欠陥の密度を低減する方法として、ELO (Appl. Phys. Lett. 71(18) 2638 (1997)) や、F  
5 I ELO (Japan. J. Appl. Phys. 38, L184 (1999))、ペンデオエピタキシー  
(MRS Internet J. Nitride Semicond. Res. 4S1, G3. 38 (1999)) といった成長技術が報告されている。

これらの成長技術は、サファイア等の基板上に成長させたGaN上に、SiO<sub>2</sub>等でパターニングされたマスクを形成し、マスクの窓部からさらにG  
10 aN結晶を選択的に成長させて、マスク上をGaNがラテラル成長で覆うようにすることで、下地結晶からの転位の伝播を防ぐものである。

これらの成長技術の開発により、GaN中の転位密度は $10^7 \text{ cm}^{-2}$ 台程度にまで、飛躍的に低減させることができるようになった。例えば、特開平  
10 - 312971号公報には、この技術の一例が開示されている。

15 前述のELOをはじめとする低転位GaNの成長技術は、いずれもサファイア等の基板上にSiO<sub>2</sub>などがパターニングされたマスクを形成する工程を必要とする。この工程はCVD法等によるSiO<sub>2</sub>膜の堆積工程、レジストの塗布工程、フォトリソグラフィ工程、エッチング・洗浄工程等からなり、非常に複雑で多大な時間を要する。

20 また、微細な加工技術が要求されるため、マスク形成の歩留まり（再現性）が悪いという問題もある。さらに、本工程中には多数の熱処理工程、洗浄工程があり、ハンドリングによる基板の汚染、破損の危険性が高い。

前記の技術は、上述の通り複雑な工程を要するものの、得られるGaN結晶の転位密度は、必ずしもLD開発にとって満足のいく値にはなっていない。

25 これは、選択成長のためのマスクがある領域と無い領域との差に起因して、成長するGaN中に歪が発生し、結晶軸が傾くためと考えられており、例えば、Appl. Phys. Lett., Vol. 76, No. 26 (2000) 3893 - 3895や、J. Crystal Growth 208 (2000) 804 - 808などで報告されている。

### 発明の開示

本発明の目的は、上述の問題を解決すべく、従来の結晶成長方法がそのまま適用可能で、かつ従来よりも大幅に欠陥密度の少ないGaN単結晶のエピタキシャル成長を可能とするGaN結晶成長用下地基板としての、多孔質基板とその製造方法、ならびにGaN系半導体積層基板とその製造方法を提供するものである。

(1) 本発明の多孔質基板は、基板上に複数の多孔質層を有し、前記複数の多孔質層のうち最表面に位置する多孔質層における空隙の平均開口部径が、前記複数の多孔質層のうち前記最表面に位置する多孔質層よりも基板側に位置する多孔質層における空隙の平均直径と比較して小さいことを特徴とする。

(2) 本発明の多孔質基板は、基板上に複数の多孔質層を有し、前記複数の多孔質層のうち最表面に位置する多孔質層における空隙の平均開口部径が、前記複数の多孔質層のうち前記最表面に位置する多孔質層よりも基板側に位置する多孔質層における空隙の平均直径と比較して小さく、前記複数の多孔質の体積空隙率が10～90%の範囲内にあることを特徴とする。

(3) 本発明の多孔質基板は、基板上に2層の多孔質層を有し、前記2層の多孔質層のうち最表面に位置する第一の多孔質層における空隙の平均開口部径が、前記第一の多孔質層よりも基板側に位置する第二の多孔質層における空隙の平均直径と比較して小さく、前記第一の多孔質層における空隙の50%以上が、前記第一の多孔質層の表面から前記第一の多孔質層と前記第二の多孔質層の界面まで貫通していることを特徴とする。

(4) 本発明の多孔質基板は、基板上に2層の多孔質層を有し、前記2層の多孔質層のうち最表面に位置する第一の多孔質層における空隙の平均開口部径が、前記第一の多孔質層よりも基板側に位置する前記第二の多孔質層における空隙の平均直径と比較して小さく、前記第一の多孔質層における空隙の50%以上が、前記第一の多孔質層の表面から前記第一の多孔質層と前記第二の多孔質層との界面まで貫通し、前記第一の多孔質層及び前記第二の多孔

質層における体積空隙率が10～90%の範囲にあることを特徴とする。

- (5) 上記(3)、(4)の多孔質基板において：前記第一の多孔質層が金属材料からなること；前記第一の多孔質層が金属酸化物、金属窒化物、金属炭化物のいずれかからなること；前記第二の多孔質層が半導体材料からなること、前記第二の多孔質層がIII族窒化物系化合物半導体材料からなること；  
5 前記第一の多孔質層がTiNまたはPtからなり、かつ、前記第二の多孔質層がGaNからなること；前記第一の多孔質層における空隙率の平均開口部径が1μm以下であること；または、前記第一の多孔質層の膜厚が1μm以下であることが望ましい。
- 10 (6) 本発明の多孔質基板の製造方法は、基板上に異なる材料からなる層を2層以上成長し、前記各層に対して熱処理を加えることにより内部に空隙を有する2層以上の多孔質層を形成することを特徴とする。
- (7) 本発明のGaN系半導体積層基板は、上記(1)～(5)のいずれかの多孔質基板の上に、GaN系半導体層が成長されたことを特徴とする。
- 15 (8) 本発明のGaN系半導体積層基板の製造方法は、基板に異なる材料からなる層を2層以上形成し、前記各層に熱処理を加えることにより内部に空隙を有する2層以上の多孔質層を有する多孔質基板を形成し、その多孔質基板上にGaN半導体層を成長させることを特徴とする。

## 20 図面の簡単な説明

第1図は、本発明の一実施例に係る多孔質基板の断面構造を模式的に示す。

第2図(a)～(c)は、本発明の一実施例に係る多孔質基板の製造方法を、断面構造にて模式的に示す。

第3図は、本発明の一実施例に係る多孔質基板の表面SEM写真である。

- 25 第4図は、本発明の一実施例に係る多孔質基板の断面SEM写真である。

第5図は、本発明の一実施例に係るGaN系半導体積層基板の断面構造を模式的に示す。

### 発明を実施するための最良の形態

以下、本発明の好適な実施の形態を詳述する。

本発明の要点は、GaNエピ中の転位低減を可能にする下地基板として、表面により細かい空隙を設けた2層構造の多孔質層を有する基板を用いることにある。本発明の多孔質基板は、サファイア等の基板の上に、エピタキシャル成長法にてGaN層を形成し、そのGaN層上にTi層などの金属膜を蒸着した後、これをアンモニア等の雰囲気中で熱処理することで、金属膜に空隙が形成されて金属窒化物などの第一の多孔質層が形成されると同時にGaN層の一部がエッチングされて表面に高密度の空隙が形成された第二の多孔質層が形成される。

これにより、本発明に係る多孔質基板は、通常のGaN系結晶のエピタキシャル成長に用いられる手法、即ち、MOVPE法、HVPE法、MBE法等を用いた結晶成長全般に用いることが可能である。

本発明に係る多孔質基板上の結晶成長においては、2つの多孔質層の材質の組み合わせ方により、2種類の成長モードが生じる。

すなわち、第1の成長モードは、表面に現れる第一の多孔質層が、内部にある第二の多孔質層よりも、成長結晶との親和力が強い材質からなる場合に生じ、第2の成長モードは、表面に現れる第一の多孔質層が、内部にある第二の多孔質層よりも、成長結晶との親和力が弱い材質からなる場合に生じる。

第1の成長モード：

表面に現れる第一の多孔質層が、内部にある第二の多孔質層よりも、成長結晶との親和力が強い材質からなっている場合、成長結晶の初期成長核は、第一の多孔質層の表面に優先的に発生し、さらに成長が進むと、この成長核同士が結合して最終的には平坦な膜となる。この際、第一の多孔質層が核発生のためのサイトを与える働きをするため、表面に現れている空隙の密度を制御すれば、結晶成長核の密度を制御することができる。エピタキシャル結晶中に発生する転位の密度は、この初期核発生密度と相関があり、初期核発生密度を下げれば、転位密度も減少する。但し、初期核発生密度を下げると、

結晶が平坦化するまでに必要な結晶の厚みが増し、エピタキシャル層の表面の平坦性が劣化する傾向にあるため、結晶成長条件や必要とする成長膜の厚さ、平坦性等を勘案して、多孔質基板の空隙率を最適化する必要がある。ここで、核発生サイトを制御するだけであれば、第一の多孔質層の下地は多孔質である必要はないが、下地となる第二の多孔質層を挿入することで、下地基板と成長結晶との歪を緩和し、より低転位の結晶を成長することが可能となる。第一の多孔質層の空隙が、第二の多孔質層の空隙よりも小さい必要があるのは、第一の多孔質層上に選択的に結晶成長核を発生させ、第二の多孔質層内での核発生を抑制するためである。第一の多孔質層と第二の多孔質層の両方から同時に結晶成長核が発生すると、成長結晶は多結晶化してしまう確率が増してしまう。

#### 第2の成長モード：

表面に現れる第一の多孔質層が、内部にある第二の多孔質層よりも、成長結晶との親和力が弱い材質からなっている場合、結晶成長の初期成長核は、第二の多孔質層の空隙中に優先的に発生し、成長結晶は第一の多孔質層の空隙を通過して第一の多孔質層の表面に到達する。空隙から顔を出した結晶は、その後第一の多孔質層の表面をラテラル成長し、最終的には結合して平坦な膜となる。この成長モードにおいては、第一の多孔質層は、微少な窓を有するマスクとして機能し、E L O成長と同様のメカニズムにより、成長結晶中に発生した転位の伝播が第一の多孔質層により止められ、第一の多孔質層上に成長する結晶が低転位化する。第一の多孔質層の空隙が、第二の多孔質層の空隙よりも小さい必要があるのは、第一の多孔質層の空隙の方が大きいと、転位の伝播を止めるマスクの働きが失われてしまうためである。

上述のように、本発明に係る多孔質基板上の結晶成長においては、2種類の成長モードが生じる可能性があるが、いずれのモードにおいても、得られるエピタキシャル結晶は顕著に低転位化するという効果が得られる。

次に、空隙の最適条件についての根拠を説明する。

第一の多孔質層中に形成された空隙の平均的な開口部径は、その直下に位



置する第二の多孔質層中に形成された平均的な空隙の直径よりも小さいことが必要である。その理由は、第1の成長モードでは、第一の多孔質層上に選択的に結晶成長核を発生させ、第二の多孔質層内での核発生を抑制して多結晶化を防止するためであり、第2の成長モードでは、転位の伝播を止めるマスクの働きが失わないようにするためである。

また、第一の多孔質層中に設けられた空隙の総数のうち、その50%以上が、基板表面から第二の多孔質層との界面まで貫通していることが必要である。その理由は、第1の成長モードの場合においては空隙により成長結晶と基板との歪緩和効果を発現させるためであり、第2の成長モードの場合においては第一の多孔質層中で発生した結晶が第二の多孔質層表面にまで到達する窓として空隙を機能させるためである。

また、第一の多孔質層と第二の多孔質層の材質が異なることが必要である。その理由は、成長結晶と各層との間に働く親和力に差を持たせ、成長核の発生を選択的に生じさせるためである。もし第一の多孔質層と第二の多孔質層の材質が同じである場合には、どちらの多孔質層にも等しく核発生が生じ、前述のように多結晶化する危険が増すことになる。

また、第1の成長モードを発現させるには、第一の多孔質層は単結晶である必要がある。第2の成長モードにおいても、第一の多孔質層は単結晶であることが好ましい。成長結晶の結晶性、平坦性が向上する傾向がある。そのためには、第二の多孔質層も単結晶であり、第一の多孔質層は、第二の多孔質層にエピタキシャル成長していることが望ましい。第二の層を半導体層、特にIII-V族化合物半導体層とし、その上に金属膜をエピタキシャル成長させることは、比較的容易に行える。この積層基板に、後述する実施例で説明するように適当な条件で処理を行うと、前記金属膜は金属酸化物、金属窒化物、金属炭化物のいずれかに変化し、本発明のような多孔質層を積層した構造が得られる

もちろん、本発明は多孔質層を積層した構造であることが要点であり、その材質、製法には上記以外の様々な組合せがあり得る。

第一の多孔質層中に設けられた空隙の平均開口部径が $1\text{ }\mu\text{m}$ 以下であることが望ましい。その理由は、空隙の平均開口部径が $1\text{ }\mu\text{m}$ よりも大きいと、第1の成長モードの場合、空隙の内部、即ち第二の多孔質層中からも核が発生してしまい、エピタキシャル層の多結晶化が生じてしまうため、また、第2の成長モードの場合、転位の伝播を止めるマスクの機能が果たせなくなり、低転位化の効果が薄れるためである。

第一の多孔質層の膜厚は、 $1\text{ }\mu\text{m}$ 以下であることが望ましい。これは、第2の成長モードにおいてエピタキシャル層の多結晶化を防ぐために望ましい条件である。第一の多孔質層の空隙の平均開口部径が $1\text{ }\mu\text{m}$ 以下であり、かつ膜厚が $1\text{ }\mu\text{m}$ を超える場合、第二の多孔質層中だけに選択的に成長核を発生させることが難しくなり、エピタキシャル層の多結晶化が生じてしまう。

第一の多孔質層の体積空隙率は、 $10\%$ 以上 $90\%$ 以下であり、かつ前記空隙が、多孔質層中に略均一に分散して形成されていることが望ましい。これは、体積空隙率が $10\%$ 未満でも、また $90\%$ を超えても、多孔質膜としての前述の機能が失われてしまうためである。分布が均一であることの必要性も、同様の理由による。

第二の多孔質層の体積空隙率は、 $10\%$ 以上 $90\%$ 以下であり、かつ前記空隙が、多孔質層中に略均一に分散して形成されていることが望ましい。これは、体積空隙率が $10\%$ 未満では、多孔質膜としての前述の機能が失われてしまうためであり、逆に $90\%$ を超えると、強度が不足して第一の多孔質層を支持していることができなくなってしまうためである。

本発明に係る多孔質基板は、2層の多孔質層自体が自立した基板であっても構わないが、下地に空隙を有さないサファイア等の基体（基板）があり、その表面に2層の多孔質層が形成された構造であってもよい。

本発明においては、多孔質層を、3層以上に積層する構造の変形例でも、本発明と同様の効果を得ることができるであろう。

第1の成長モードをとる場合には、2層の多孔質層が接触している界面に、空隙を含まない第三の層が挿入されている構造でも、同様の効果を得ること

ができると考えられる。

[実施例]

以下、添付図面と共に本発明の実施例を説明する。

実施例 1

- 5 第1図は、単結晶サファイア基板1上にGa<sub>2</sub>Nからなる第二の多孔質層2を、その第二の多孔質層2上にTiN等の金属窒化物からなる第一の多孔質層3を形成した多孔質基板10を示している。

第1図に示される構造の多孔質基板10を作製する方法について述べる。

- 10 第2図(a)に示すように、直径2インチの単結晶サファイアC面基板上1に、MOVPE法で、TMGとNH<sub>3</sub>を原料として、Ga<sub>2</sub>N層2aを500nm成長した。

次いで、Ga<sub>2</sub>N層2a上に、真空蒸着装置を用いて金属Ti膜3aを20nm蒸着し(第2図(b))、これを電気炉に入れて、NH<sub>3</sub>を20%混合したH<sub>2</sub>の気流中で、1040℃で20分間の熱処理を施した。

- 15 この結果、第2図(c)に示すようにGa<sub>2</sub>N層2aの一部がエッチングされて高密度の空隙が発生して第二の多孔質層2が形成され、同時に、Ti膜3aは窒化されてTiNに変化し、表面にサブミクロンの微細な穴が高密度に形成された第一の多孔質層3が形成される。

- 20 第3図は、こうして得られた多孔質基板10の表面SEM写真であり、第4図は、多孔質基板10の断面SEM写真である。

第3図に示されるように、多孔質基板10の表面を構成する第一の多孔質層3には、0.1μm程度の直径を有する貫通孔(第3図中、黒色で示される部分)が面内ほぼ均一に形成されている。

- 25 また、第4図に示されるように、第二の多孔質層2には、第一の多孔質層3の空隙よりも大きい1μm程度の直径を有する空隙(第4図の中央部において、水平方向に並んだ山型のGa<sub>2</sub>N結晶間の空隙)が面内ほぼ均一に形成され、山型のGa<sub>2</sub>N結晶の頂上部分で網目状のTiN層(第一の多孔質層3)が支持された構造になっている。

## 実施例 2

第 5 図で、実施例 1 で示した多孔質基板 10 上に、MOVPE 法で GaN 結晶を成長した例を説明する。

実施例 1 の方法で作製した多孔質基板 10 を MOCVD 炉内に入れて、H<sub>2</sub> を 20% 混合したアンモニア気流中で、1050℃、30min の熱処理を施した。さらに引き続き、同炉内で、TiN 層（第一の多孔質層 3）上に TMG とアンモニアを原料として、1050℃で GaN 膜 4 を 2 μm 成長した。得られた GaN エピタキシャル基板 12 の表面は、非常に平坦で、ノマルスキー顕微鏡観察および SEM 観察の結果、サファイア基板上に低温成長バッファ層を介して成長した既存の GaN エピタキシャル基板と比較して、表面の微少な凹凸が少ない、良好な表面状態となっていることが確認できた。

GaN エピタキシャル基板 12 の表面を AFM（原子間力顕微鏡）で観察し、表面に観察されるピット（転位に対応すると言われている）の密度を測定したところ、 $5 \times 10^6$  個/cm<sup>2</sup> と非常に少なく、結晶性の高い GaN 単結晶基板 12 が得られていることを確認した。

この基板 12 の X 線回折測定を行ったところ、GaN（0002）面回折ロッキングカーブの半値幅は、基板面内のどこを測定しても約 90 sec、また（10-10）面回折ロッキングカーブの半値幅も、基板面内のどこを測定しても約 140 sec と、良好で均一な結晶性を有していることが確認できた。

## 実施例 3

第一の多孔質層 3 の材料として Pt を、第二の多孔質層 2 の材料として GaN を用いた例について、実施例 1 と同様第 2 図を用いて説明する。

直径 2 インチの単結晶サファイア C 面基板 1 上に、MOVPE 法で、TMG と NH<sub>3</sub> を原料として、GaN 層 2a を 0.5 μm 成長した基板 8 を用意した。この GaN 層 2a 上に、金属 Pt 膜 3a を 20 nm 蒸着し、これを電気炉に入れて、大気中で、850℃、20 分間の熱処理を施した。この結果、GaN 層 2 中には第 4 図と類似した高密度の空隙を有する第二の多孔質層 2

が形成され、P t 膜には、高密度のサブミクロンサイズの穴を有する第一の多孔質層 3 が形成された。

#### 実施例 4

5 実施例 3 で示した多孔質基板 1 0 上に、H V P E 法で G a N 結晶を成長した例を述べる。

実施例 3 の方法で作製した多孔質基板 1 0 を H V P E 炉に入れ、G a N を 5 0  $\mu$ m 堆積した。成長に用いた原料は N H <sub>3</sub> と G a C l で、キャリアガスとして N<sub>2</sub> を用いた。供給ガス中の G a C l 分圧、N H <sub>3</sub> 分圧は、それぞれ、 $8 \times 10^{-3}$  a t m、 $8 \times 10^{-2}$  a t m である。成長は常圧で行い、成長温度  
10 は 1 0 5 0 °C とした。

得られた G a N エピタキシャル基板の表面は非常に平坦で、顕微鏡観察および S E M 観察により、サファイア基板上に S i O<sub>2</sub> でストライプマスクを形成して E L O 成長した、既存の G a N エピ基板と比較して、同等かそれ以上の良好な表面状態となっていることを確認した。この基板の X 線回折測定  
15 を行ったところ、G a N ( 0 0 0 2 ) 面、および ( 1 0 - 1 0 ) 面の回折の F W H M は、基板面内のどこを測定してもそれぞれ、約 1 0 0 s e c、1 4 0 s e c と、良好で均一な結晶性を有していることが確認できた。また、得られた G a N エピタキシャル基板の転位密度を、熱燐酸、硫酸混合液 ( 2 5 0 °C ) に試料を浸した結果得られるエッチピットで計測したが、 $1 \times 10^7$   
20 c m<sup>-2</sup> と非常に少ないことが判明した。さらに、原子間力顕微鏡で表面のピットの密度も測定したところ、この値も  $5 \times 10^6$  個 c m<sup>-2</sup> と、非常に少なく、結晶性の高い G a N エピタキシャル基板が得られていることを確認した。

上述の実施例では、G a N 結晶成長の例について述べたが、本発明においては、A I G a N 結晶や I n G a N 結晶等の窒化物系結晶全般に適用が可能  
25 である。更に、G a N 系以外の材料の結晶成長に適用しても、同様のメカニズムで低欠陥密度の結晶成長が可能になる。

特に、本発明を、成長結晶とは異種の材料からなる基板上に結晶を成長する、いわゆるヘテロエピタキシャル成長が必要な材料系に応用すると効果的

である。

本発明の多孔質基板は、種々の結晶成長方法、デバイスに応用できる。本発明の多孔質基板は、通常のGaN系結晶のエピタキシャル成長に用いられる方法、即ち、MOVPE法、HVPE法、MBE法等に用いることができる。本発明の多孔質基板上に、上記方法の何れかを用いてGaN結晶を成長することにより、低転位密度のエピタキシャル成長結晶を容易に得ることができる。更に、本発明の多孔質基板の上に発光ダイオード(LED)やレーザーダイオード(LD)等のデバイス機能を有するエピタキシャル構造を成長させることで、高出力、高信頼性の発光素子が製作できる。また、GaN-HEMTなどの電子デバイス作製用基板としても使用できる。

#### 産業上の利用の可能性

本発明の多孔質基板によれば、従来の結晶成長方法を用いた場合でさえ、その多孔質基板上に低欠陥密度のエピタキシャル結晶を容易に成長できる。特に、GaN系のエピタキシャル結晶成長に該多孔質基板を適用した場合、低転位密度のエピタキシャル成長GaNウェハ等が容易に得られる。このため、そのウェハ上に高出力かつ高信頼性のGaN系発光ダイオード(LED)やレーザーダイオード(LD)等のデバイスを形成できる。

本発明の多孔質基板は、多層膜に熱処理を加えるだけの簡単な工程により作製され得る。従って、本発明の多孔質基板の製造方法は、フォトリソグラフィ工程等の複雑な工程・装置を必要とするELO等の従来方法に較べて、低コストである。また、再現性が高いので熟練を必要としない。さらに、工程が簡略化されているので、エピタキシャル結晶成長用基板が比較的短時間で作製できる。

なお、本出願は、日本特許出願番号2002-190270に基づいており、この日本出願の全内容は、本出願において参照され導入される。

## 請求の範囲

1. 基板上に複数の多孔質層を有し、前記複数の多孔質層のうち最表面に位置する多孔質層における空隙の平均開口部径が、前記複数の多孔質層のうち  
5 前記最表面に位置する多孔質層よりも基板側に位置する多孔質層における空隙の平均直径と比較して小さいことを特徴とする多孔質基板。
2. 基板上に複数の多孔質層を有し、前記複数の多孔質層のうち最表面に位置する多孔質層における空隙の平均開口部径が、前記複数の多孔質層のうち  
10 前記最表面に位置する多孔質層よりも基板側に位置する多孔質層における空隙の平均直径と比較して小さく、前記複数の多孔質層の体積空隙率が10～90%の範囲内にあることを特徴とする多孔質基板。
3. 基板上に二層の多孔質層を有し、前記二層の多孔質層のうち最表面に位置する第一の多孔質層における空隙の平均開口部径が、前記第一の多孔質層よりも基板側に位置する第二の多孔質層における空隙の平均直径と比較して  
15 小さく、前記第一の多孔質層における空隙の50%以上が、前記第一の多孔質層の表面から前記第一の多孔質層と前記第二の多孔質層の界面まで貫通していることを特徴とする多孔質基板。
- 20 4. 基板上に二層の多孔質層を有し、前記二層の多孔質層のうち最表面に位置する第一の多孔質層における空隙の平均開口部径が、前記第一の多孔質層よりも基板側に位置する前記第二の多孔質層における空隙の平均直径と比較して小さく、前記第一の多孔質層における空隙の50%以上が、前記第一の  
25 多孔質層の表面から前記第一の多孔質層と前記第二の多孔質層との界面まで貫通し、前記第一の多孔質層及び前記第二の多孔質層における体積空隙率が10～90%の範囲にあることを特徴とする多孔質基板。

5. 前記第一の多孔質層が金属材料からなる請求の範囲 3 又は 4 記載の多孔質基板。

6. 前記第一の多孔質層が金属酸化物、金属窒化物または金属炭化物からなる請求の範囲 3 又は 4 記載の多孔質基板。

7. 前記第二の多孔質層が半導体材料からなる請求の範囲 3 又は 4 記載の多孔質基板。

8. 前記第二の多孔質層が III 族窒化物系化合物半導体材料からなる請求の範囲 3 又は 4 記載の多孔質基板。

9. 前記第一の多孔質層が T i N または P t からなり、かつ、前記第二の多孔質層が G a N からなる請求の範囲 3 又は 4 記載の多孔質基板。

15

10. 前記第一の多孔質層における空隙率の平均開口部径が  $1\ \mu\text{m}$  以下である請求の範囲 3 又は 4 記載の多孔質基板。

11. 前記第一の多孔質層の膜厚が  $1\ \mu\text{m}$  以下である請求の範囲 3 又は 4 記載の多孔質基板。

20

12. 基板上に異なる材料からなる層を二層以上成長し、前記各層に対して熱処理を加えることにより内部に空隙を有する二層以上の多孔質層を形成することを特徴とする多孔質基板の製造方法。

25

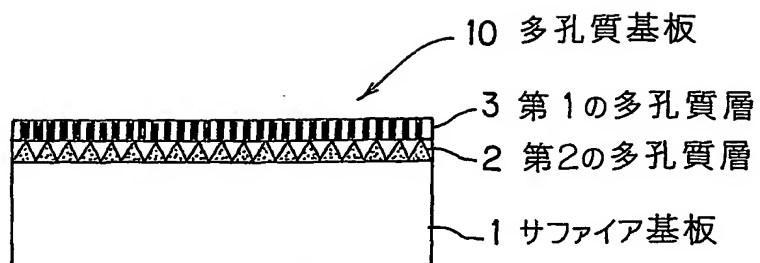
13. 請求の範囲 1 ～ 11 のいずれかに記載の多孔質基板の上に、G a N 系半導体層を成長したことを特徴とする G a N 系半導体積層基板。



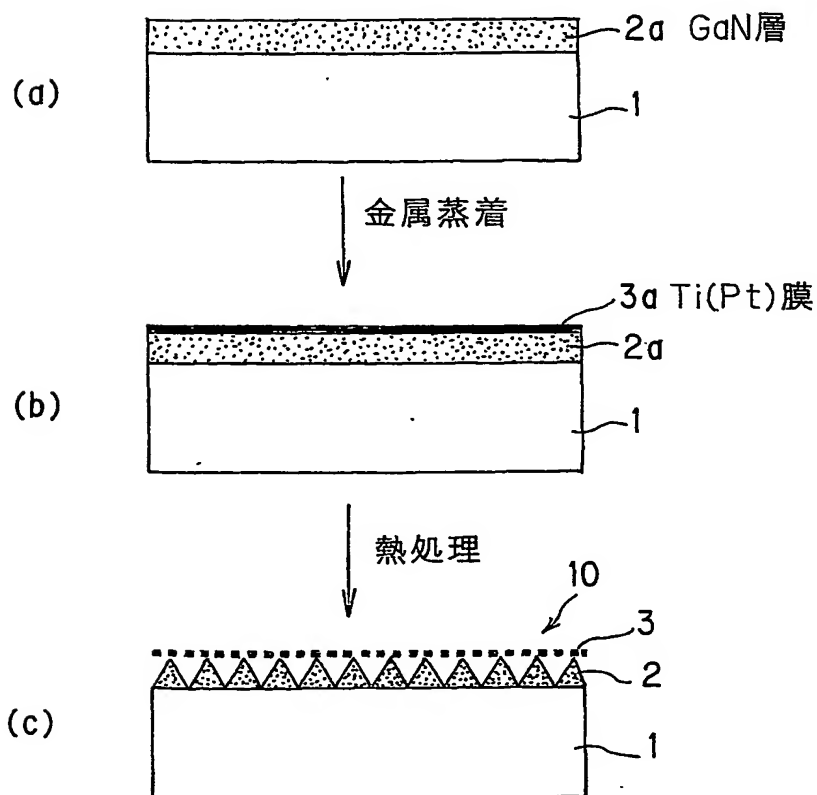
14. 基板に異なる材料からなる層を二層以上形成し、前記各層に熱処理を加えることにより内部に空隙を有する二層以上の多孔質層を有する多孔質基板を形成し、その多孔質基板上にGaN半導体層を成長させることを特徴とするGaN系半導体積層基板の製造方法。

1/4

第 1 図

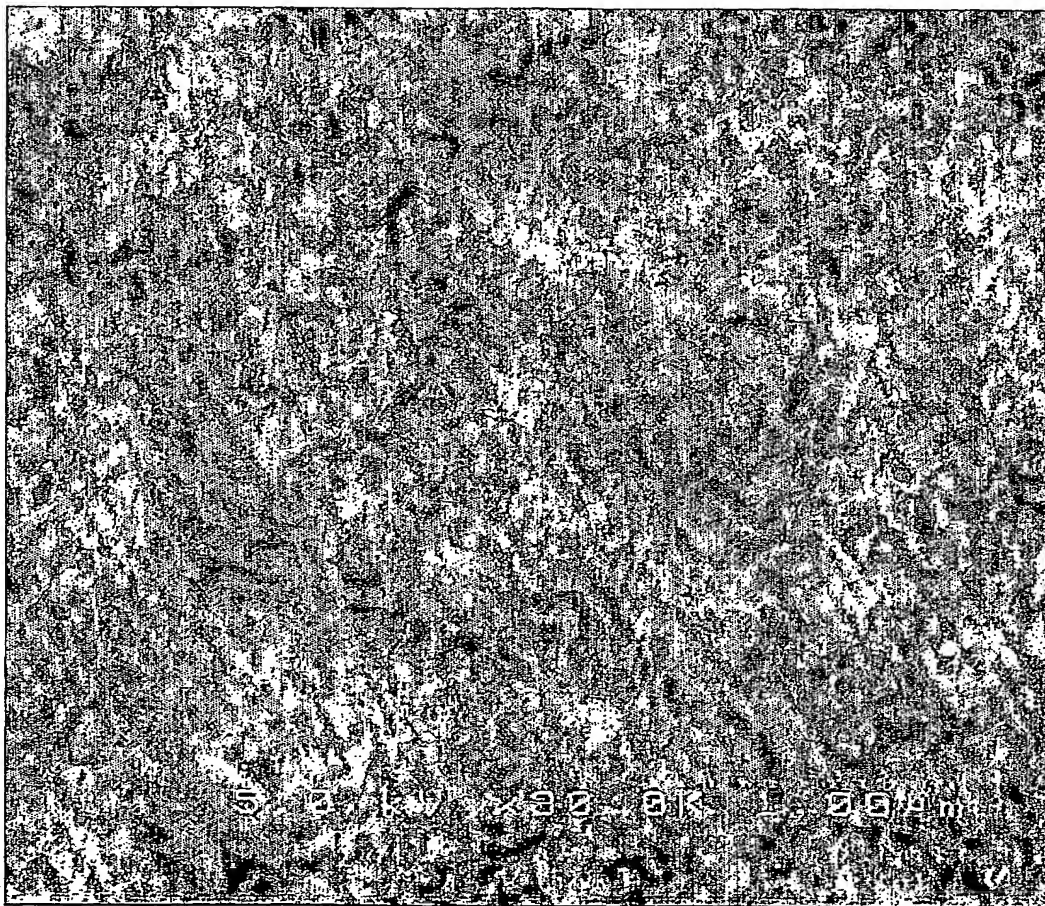


第 2 図



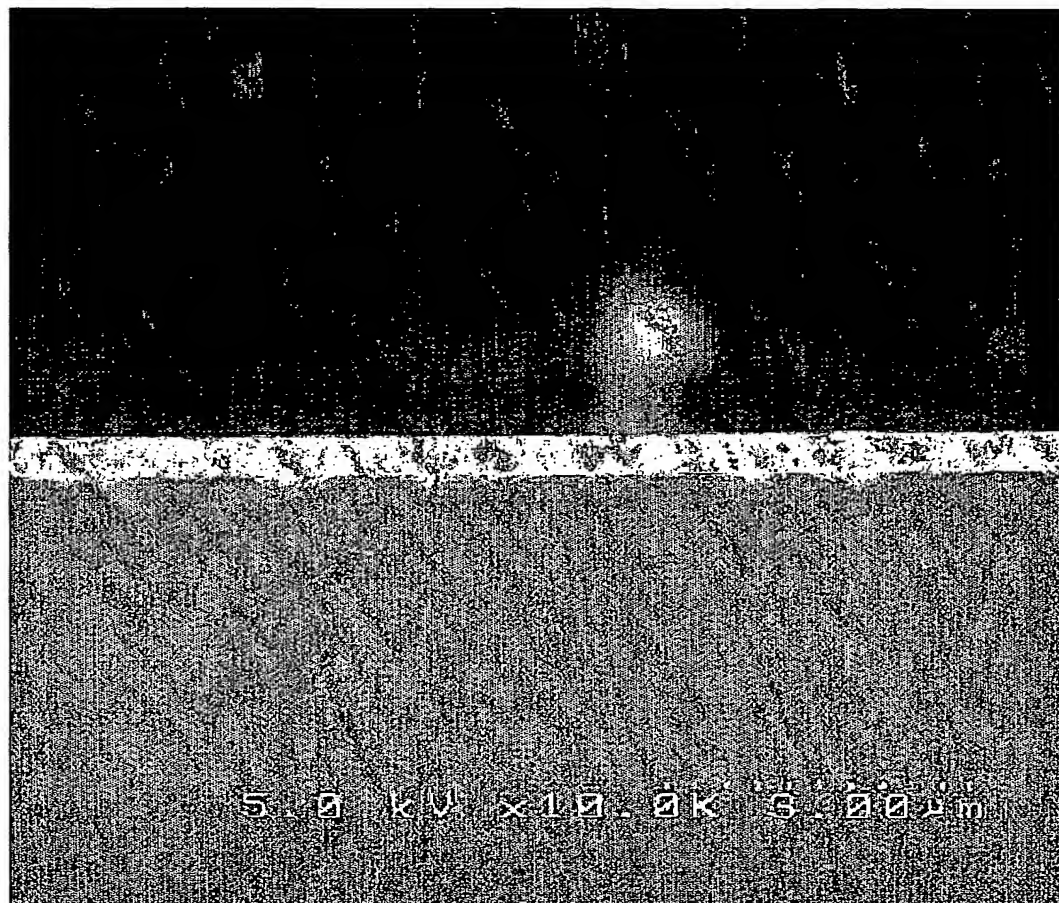
2/4

第3図



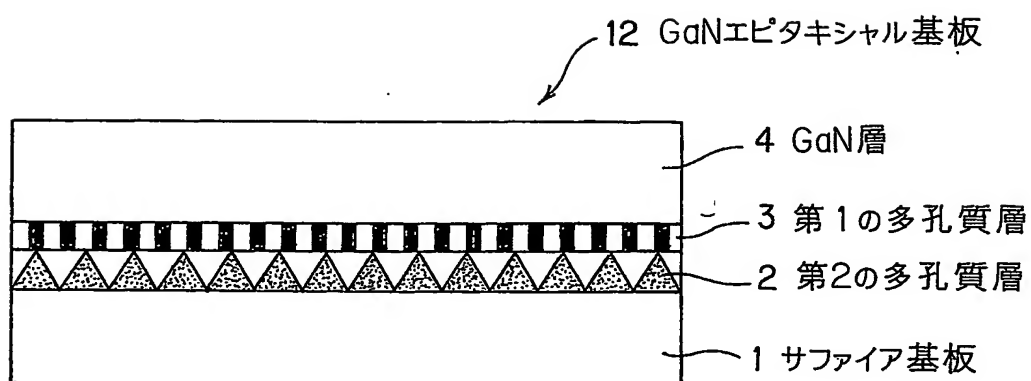
3/4

第4図



4/4

第 5 図



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/08173

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> C30B29/38, H01L21/205

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> C30B29/38, H01L21/205, H01L33/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CAS ONLINE, JSTplus (JOIS)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	US 5656832 A (KABUSHIKI KAISHA TOSHIBA), 12 August, 1997 (12.08.97), Figs. 1 to 3, 6 to 8; column 5, line 66 to column 7, line 47; Claims 1 to 12 & JP 7-249795 A	1-4, 6-8, 10-14 5, 9
X A	JP 4-12092 A (Sumitomo Electric Industries, Ltd.), 16 January, 1992 (16.01.92), Page 2, upper right column, lines 7 to 20; Fig. 1 (Family: none)	1-5, 7, 10-11 6, 8-9, 12-14
A	GB 2344461 A (ARIMA OPTOELECTRONICS CORP.), 07 June, 2000 (07.06.00), & JP 2000-188422 A	1-14

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:  
 "A" document defining the general state of the art which is not  
 considered to be of particular relevance  
 "E" earlier document but published on or after the international filing  
 date  
 "L" document which may throw doubts on priority claim(s) or which is  
 cited to establish the publication date of another citation or other  
 special reason (as specified)  
 "O" document referring to an oral disclosure, use, exhibition or other  
 means  
 "P" document published prior to the international filing date but later  
 than the priority date claimed

"T" later document published after the international filing date or  
 priority date and not in conflict with the application but cited to  
 understand the principle or theory underlying the invention  
 "X" document of particular relevance; the claimed invention cannot be  
 considered novel or cannot be considered to involve an inventive  
 step when the document is taken alone  
 "Y" document of particular relevance; the claimed invention cannot be  
 considered to involve an inventive step when the document is  
 combined with one or more other such documents, such  
 combination being obvious to a person skilled in the art  
 "&" document member of the same patent family

Date of the actual completion of the international search  
 08 September, 2003 (08.09.03)

Date of mailing of the international search report  
 24 September, 2003 (24.09.03)

Name and mailing address of the ISA/  
 Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

Internal application No.

PCT/JP03/08173

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P,A	EP 1271627 A2 (NEC CORP. et al.), 02 January, 2003 (02.01.03), & JP 2002-343728 A	1-14

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. <sup>7</sup> C30B29/38, H01L21/205

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. <sup>7</sup> C30B29/38, H01L21/205, H01L33/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-2003年

日本国登録実用新案公報 1994-2003年

日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

CAS ONLINE, JSTPlus(JOIS)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	US 5656832 A (KABUSHIKI KAISHA TOSHIBA) 1997.08.12 FIG. 1-3, 6-8, 第5欄第66行-第7欄第47行, 請求項1-12 & JP 7-249795 A	1-4, 6-8, 10-14 5, 9
X A	JP 4-12092 A (住友電気工業株式会社) 1992.01.16 第2頁右上欄第7-20行, 第1図 (ファミリーなし)	1-5, 7, 10-11 6, 8-9, 12-14

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

08.09.03

国際調査報告の発送日

24.09.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

横山 敏志

4G

2927

電話番号 03-3581-1101 内線 3416



C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	GB 2344461 A (ARIMA OPTOELECTRONICS CORPORATION) 2000.06.07 & JP 2000-188422 A	1-14
PA	EP 1271627 A2 (NEC CORPORATION 外1名) 2003.01.02 & JP 2002- 343728 A	1-14